

Universidad Nacional Autónoma de México

Facultad de Ingeniería

Organización y Arquitectura de Computadoras

Grupo 1

**Práctica No. 1 Introducción a las herramientas de desarrollo
de los FPGAs**

Ortega de la Paz Rafael | 420054085

02 de septiembre de 2026

Introducción

El presente documento detalla el desarrollo de la Práctica 1 del Laboratorio de Organización y Arquitectura de Computadoras, enfocada en la introducción al uso de herramientas de diseño para dispositivos lógicos programables tipo FPGA. Para ello, se empleó la tarjeta Altera Cyclone IV E (modelo EP4CE22F17C6N) y el entorno Quartus Prime, cubriendo la captura esquemática, la síntesis y la simulación funcional de circuitos digitales.

El objetivo central consistió en dominar el flujo de diseño completo sobre FPGA: desde la inicialización del proyecto y la creación de diagramas esquemáticos mediante bloques, hasta la compilación para verificación de recursos y la simulación para comprobar el comportamiento lógico previo a la implementación física. Como circuito de validación se implementó un contador binario de 4 bits basado en el circuito integrado 74193, evaluando sus modos de operación ascendente y descendente mediante la conmutación de las señales de reloj en las terminales UP y DN.

Análisis de circuitos

El circuito integrado 74193 es un contador binario síncrono bidireccional de 4 bits compuesto internamente por cuatro flip-flops tipo JK. Su rango de conteo abarca de 0000 a 1111 y opera de manera síncrona con los flancos de subida en sus entradas de reloj independientes: UP para conteo ascendente y DN para descendente. La entrada inactiva debe mantenerse en nivel alto (VCC) para prevenir saltos de estado indeseados. La siguiente tabla resume la función de cada terminal relevante para esta práctica:

Terminal	Función	Uso en esta práctica
UP	Entrada de reloj para conteo ascendente	Conectada a CLK (simulación ascendente) o a VCC (simulación descendente)
DN	Entrada de reloj para conteo descendente	Conectada a VCC (simulación ascendente) o a CLK (simulación descendente)
CLR	Reset asíncrono, activo en alto	Conectada a la señal RESET

LDN	Carga paralela, activa en bajo	Conectada a VCC (deshabilitada)
QA–QD	Salidas del contador (4 bits)	Conectadas a las señales A, B, C y D

Diseño de circuito

Se configuró un nuevo proyecto en Quartus Prime Lite Edition seleccionando la familia Cyclone IV E y el dispositivo específico EP4CE22F17C6. En un archivo de esquema (Block Diagram/Schematic File) se insertó el símbolo del 74193 con las conexiones iniciales para el modo ascendente: la señal de reloj principal (CLK) conectada a UP, RESET conectado a CLR, y las terminales LDN y DN fijadas a nivel alto (VCC) para deshabilitar la carga y el decremento. Las salidas QA a QD se asociaron a los pines de salida A a D.

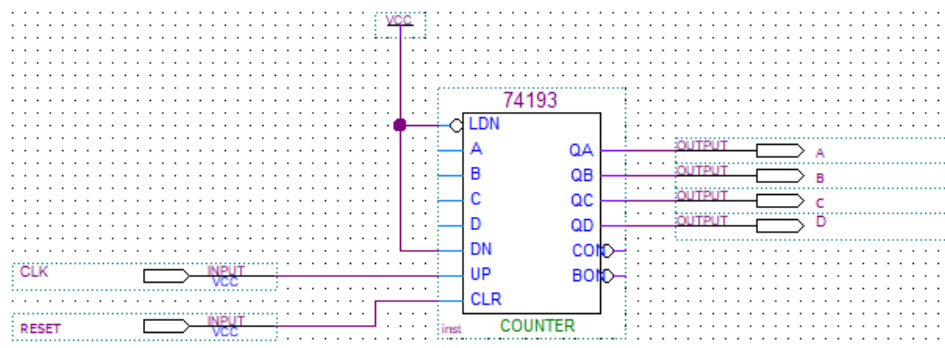


Figura 1. Diagrama esquemático del contador 74193 en configuración ascendente.

Tras ejecutar el proceso mediante Start Compilation, el reporte (Flow Summary) indicó una compilación exitosa sin errores, utilizando únicamente 7 de los 22,320 elementos lógicos disponibles, 4 registros y 6 pines, lo que confirma un consumo mínimo de recursos acorde a la complejidad del diseño.

Table of Contents		Flow Summary	
Flow Summary		<<Filter>>	
Flow Settings		Flow Status	Successful - Wed Sep 2 15:53:49 2026
Flow Non-Default Global S		Quartus Prime Version	21.1.0 Build 842 10/21/2021 SJ Lite Edition
Flow Elapsed Time		Revision Name	p01
Flow OS Summary		Top-level Entity Name	p01
Flow Log		Family	Cyclone IV E
Analysis & Synthesis		Device	EP4CE22F17C6
Fitter		Timing Models	Final
Assembler		Total logic elements	7 / 22,320 (< 1 %)
Timing Analyzer		Total registers	4
		Total pins	6 / 154 (4 %)

Figura 2. Reporte de compilación exitosa (Flow Summary).

Simulaciones

La validación funcional se realizó mediante un archivo de formas de onda (Waveform.vwf) utilizando el simulador Questa-Intel FPGA Starter Edition.

Conteo ascendente: Con CLK en UP y RESET en 0 (periodo de 10 ns, offset 0 ns, ciclo de trabajo del 50%), el circuito genera la secuencia binaria cíclica estándar de 4 bits (0000, 0001, 0010, ..., 1111). El bit A conmuta en cada flanco, mientras que los bits subsecuentes lo hacen a la mitad de la frecuencia del anterior.

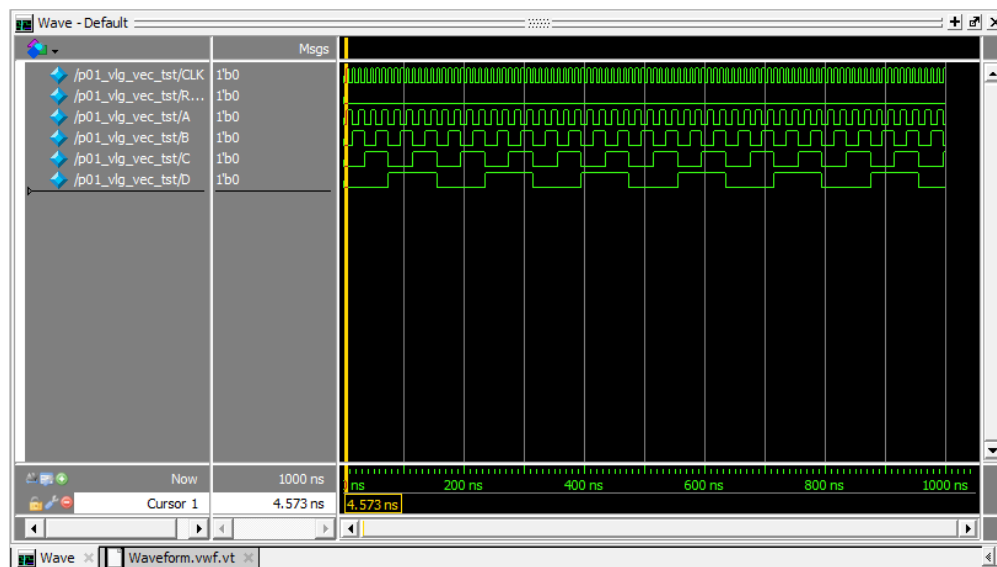


Figura 3. Simulación con conteo ascendente. RESET = 0, reloj con periodo de 10 ns.

Conteo descendente: Al intercambiar las conexiones de reloj (llevando CLK a DN y fijando UP a VCC), el contador inicia en 0000 y experimenta un desbordamiento inferior (underflow) en el primer flanco activo, pasando directamente al valor máximo de 1111 y

continuando de forma decreciente (1111, 1110, ..., 0000). Esto demuestra que la dirección depende estrictamente de la terminal que reciba los pulsos de reloj activos.

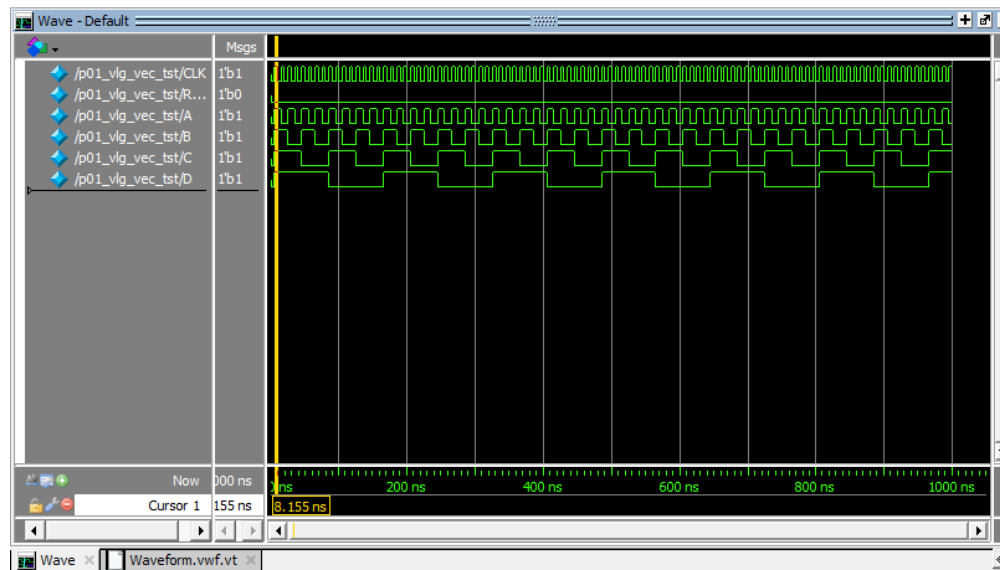


Figura 4. Simulación con conteo descendente. RESET = 0, reloj con periodo de 10 ns.

Cálculos

- Número total de estados: $N = 2^4 = 16$ estados (0000 a 1111).
- Tiempo de ciclo completo: $T_{\text{ciclo}} = 16 \times 10 \text{ ns} = 160 \text{ ns}$.
- Frecuencia de simulación: $f = 1 / 10 \text{ ns} = 100 \text{ MHz}$.
- Frecuencia máxima teórica: el análisis del Timing Analyzer con un periodo de referencia de 1 ns reportó un setup slack de 0.318 ns (modelo Slow 1200 mV, 85 °C), lo que arroja un periodo mínimo de $1 \text{ ns} - 0.318 \text{ ns} = 0.682 \text{ ns}$ y una frecuencia máxima estimada de $f_{\text{máx}} \approx 1.47 \text{ GHz}$, evidenciando un amplio margen operativo respecto a los 100 MHz simulados.

Análisis de resultados

Los resultados confirman el modelo teórico de los contadores síncronos. En el modo ascendente, cada bit representa una potencia de 2 con una frecuencia de conmutación inversamente proporcional a su peso posicional. En el modo descendente, el comportamiento de underflow valida que el circuito opera sin signo, saltando de

manera limpia al valor máximo sin generar estados indefinidos. Asimismo, se comprueba que la inversión de la dirección de conteo se logra únicamente reubicando la señal activa de reloj entre UP y DN, sin necesidad de rediseñar la circuitería interna.

Conclusión

La práctica cumplió con su propósito al afianzar el uso de Quartus Prime Lite Edition y el flujo completo de diseño digital sobre FPGAs mediante la simulación exitosa del integrado 74193 en sus configuraciones ascendente y descendente. El principal contratiempo técnico no derivó de la lógica del circuito, sino de la configuración del entorno de simulación en la versión 21.1, la cual requiere la gestión de licencias y binarios para el simulador Questa-Intel FPGA Starter Edition en sustitución de herramientas anteriores. Superado este detalle, el comportamiento del sistema quedó plenamente verificado tanto de forma teórica como práctica.

Referencias

Arredondo Garza, J. A. de J. (2026). Apuntes de Organización y Arquitectura de Computadoras, Grupo 1. Facultad de Ingeniería, Universidad Nacional Autónoma de México.

Intel Corporation / Altera. (2021). Quartus Prime Lite Edition Design Software, Version 21.1 — User Guide.

Mano, M. M., & Ciletti, M. D. (2018). Digital design: With an introduction to the Verilog HDL, VHDL, and SystemVerilog (6.^a ed.). Pearson.

Texas Instruments. (1988). SN74LS193 Synchronous 4-Bit Up/Down Binary Counters (Data Sheet No. SDLS074). Texas Instruments Incorporated.

Wakerly, J. F. (2018). Digital design: Principles and practices (5.^a ed.). Pearson.